

UKŁAD AGNUS

Agnus jest w Amidze najbardziej złożonym układem specjalizowanym — zawiera całą strukturę układów DMA. Każde z sześciu źródeł DMA ma swoją własną logikę sterującą. Wszystkie są podłączone do generatora adresu CHIP-RAM oraz do generatora adresu rejestru. Generatory te wytwarzają adres pożądaną komórki w obszarze CHIP-RAM i adres rejestru docelowego. W ten sposób logika układu DMA zapisuje dane pobrane z pamięci RAM do wybranego rejestru lub wpisuje zawartość rejestru do wybranej komórki pamięci RAM.

Do generatora adresu CHIP-RAM jest także podłączony licznik, generujący sygnały odświeżające pamięć RAM. Jest to niezbędne przy zastosowanych w Amidze dynamicznych pamięciach RAM.

Agnus zawiera również liczniki rastra i kolumn. Liczniki te generują także sygnały synchronizacji poziomej i pionowej. Sygnał synchronizacji poziomej sygnalizuje start nowej linii, natomiast synchronizacji pionowej — start nowej ramki. Sygnały synchronizacji mogą być doprowadzone z zewnątrz, co umożliwia zsynchronizowanie obrazu Amigi np. z obrazem z magnetowidu (Genlock).

Kolejnymi ważnymi elementami w Agnusz są blitter i copper. Blitter jest specjalnym układem mogącym bardzo szybko przesuwać obszary pamięci. Zwalnia to procesor od wykonywania bardzo czasochłonnych operacji, zresztą blitter wykonuje je znacznie szybciej niż potrafiłby to zrobić procesor. Blitter może także wypełniać obszary pamięci oraz wykonywać na nich pewne operacje logiczne.

Copper jest jednym z koprocesorów. Jego program nazywany copper-listą zawiera tylko trzy instrukcje. Może on zmieniać zawartość różnych rejestrów układów specjalizowanych w momencie, gdy wiązka elektronów na ekranie osiągnie z góry ustaloną pozycję.

A oto poszczególne linie sygnałowe układu Agnus:

Szyna danych D0-D15:

Szesnaście linii danych przyłączonych bezpośrednio do szyny danych CHIP-RAM. Wewnątrz wszystkie rejestry są dotychczas przez bufora do tej szyny.

Szyna adresowa rejestrów RGA0-RGA8:

Szyna ta jest dwukierunkowa. W czasie operacji DMA generator adresu rejestru umieszcza adres żądanego rejestru na tej szynie. Jeśli natomiast procesor potrzebuje dostępu do któregoś z rejestrów, linia ta jest ustawiona jako wejście i adres rejestru wybranego przez procesor jest przesyłany do dekodera adresu rejestru wewnątrz układu Agnus. Jeśli na szynie adresowej rejestrów występuje wartość 255 (SFF) to żaden rejestr nie jest wybrany.

Linie adresowe dla pamięci RAM DRA0-DRA8:

Linie te są podłączone do szyny adresowej CHIP-RAM. Są one jednokierunkowe (tylko wyjście) i uaktywniane przez Agnusa, gdy konieczna jest operacja DMA. Linie te są podłączone za

pośrednictwem multiplexera do szyny adresowej pamięci. Dzięki multiplexerowi mogą być one podłączone bezpośrednio do linii adresowych kości pamięci DRAM o pojemności 32 KB (oznaczenie 41256). Niestety, multiplexer występuje tylko w Amigach 500 i 2000; w starej Amidze 1000 RAM ma on tylko osiem linii adresowych. Dziewiąty bit DRA jest multiplexowany i używany do wyboru (przełączania) banków pamięci.

Linie zegarowe CCK i CCKQ:

Częstotliwość obu sygnałów zegarowych na tych liniach wynosi 3.58 MHz; jest to połowa częstotliwości zegara dla procesora. Sygnał CCKQ jest opóźniony w fazie względem sygnału CCK o ćwierć taktu zegara (90 stopni).

Linie kontroli szyn BLS, ARW i DBR:

Te linie są podłączone do logiki sterującej Amigi. Linia DBR (Data Bus Request) informuje logikę sterującą, że Agnus żąda dostępu do szyny danych w następnym cyklu. Linia ta ma wyższy priorytet niż żądanie dostępu do procesora. Jeśli Agnus wykonuje operacje zajmujące kilka cykli, procesor musi czekać, co tłumaczy powolność wykonywania programu umieszczonego w CHIP RAM.

Linia ARW (Agnus RAM Write) sygnalizuje logice sterującej chęć zapisu przez Agnusa do pamięci RAM.

Linia BLS (Blitter Slow down) sygnalizuje Agnusowi, że procesor odczekał już trzy cykle dostępu do szyny danych. W zależności od stanów wewnętrznych układu, jeżeli jest to możliwe, Agnus jest odłączany od szyny na jeden cykl, aby mógł z niej skorzystać procesor.

Sygnały sterujące RES, INT3, DMAL:

Sygnał RES (RESet) jest podłączony bezpośrednio do linii RESET procesora.

Linia INTR3 (INTRerrupt at level 3) jest wyjściem i jest podłączona bezpośrednio do linii w układzie Paula o tej samej nazwie. Agnus używa tej linii do poinformowania układu logiki przerwań w Pauli, że któryś z jej elementów wytworzył przerwania.

Linia DMAL (DMA request Line) jest również podłączona do Paula, lecz tym razem w odwrotnym kierunku. Paula używa tej linii do poinformowania Agnusa o konieczności wykonania przestania DMA.

Linie HSY, VSY, CSY i LP:

Linie HSY i VSY są normalnymi sygnałami synchronizacji poziomej (Horizontal SYNchronization) i pionowej (Vertical SYNchronization) i są używane do synchronizacji obrazu na monitorze. Sygnał CSY (Composite SYNchronization) jest sumą sygnałów HSY i VSY. Linie te mogą działać również jako wejścia, co — jak zaznaczono wcześniej — umożliwia synchronizację obrazu z zewnętrznym źródłem. Linia LP jest wejściem i umożliwia podłączenie pióra świetlnego (Light Pen).

FAT AGNUS

Wszystko, co napisano powyżej dotyczy wszystkich Amig. Jednak w nowszych jej ty-

pach wprowadzono udoskonaloną wersję układu Agnus, nazywaną Fat Agnus. Struktura pozostała nie zmieniona, we wnętrzu nowej kości umieszczono tylko wiele układów pozostających dotąd poza obudową Agnusa. Wylimitowano w ten sposób sporą liczbę prostych układów scalonych i innych elementów. Miało to na celu uproszczenie konstrukcji i w efekcie obniżenie ceny komputera. Różnice są następujące:

1. Cały system generacji sygnałów zegarowych jest umieszczony w Fat Agnusz. Potrzeba tylko jednego zewnętrznego sygnału zegara o częstotliwości 28 MHz. Dzielenie tej częstotliwości dla pozostałych układów jest wykonywane obecnie wewnątrz Agnusa. Sygnały tego bloku noszą nazwy: 28MHz, XCLK, XCLKEN, 7MHz, CCK, CCKQ i CDAC.
2. Bufor szyny adresowej został umieszczony wewnątrz układu Agnus, co umożliwia przyłączenie linii adresowych procesora bezpośrednio do linii A1-A18 Fat Agnusa. Dekoder adresów wykorzystuje teraz dodatkowo sygnały RAMEN (RAM ENable) i RGEN (ReGister ENable) do sygnalizacji, kiedy procesor potrzebuje użyć obszaru rejestrów lub CHIP-RAM. Oprócz tego Agnus jest połączony z procesorem za pomocą trzech sygnałów: UDS, LDS i PR/W (Processor Read/Write).
3. Oprócz powyższych zmian Fat Agnus zarządza teraz całkowicie pamięcią CHIP-RAM. Wytwarza on sygnały RAS i CAS wraz ze zmultiplexowanymi sygnałami adresowymi (RAS — Row Address Select, CAS — Column Address Select). Dodatkowo wprowadzono sygnały RAS1 i CAS1 do zarządzania rozszerzeniem pamięci (RAM Expansion).

Razem z Fat Agnusz pojawił się w Amidze czwarty układ specjalizowany nazywany Gary. Przejął on funkcje dekodera adresów i kontrolera szyn. Wytwarza także sygnały VPA i DTACK dla procesora. Wewnątrz Gary'ego znajduje się przerzutnik dla wewnętrznej stacji dysków.

FATTER AGNUS

W nowszych modelach Amigi montowany jest układ Fatter Agnus różniący się od Fat Agnusa tym, że może zarządzać 1 MB pamięci CHIP-RAM (Fat Agnus tylko 0.5 MB).

A teraz „co i gdzie jest zamontowane?” Układ Fatter Agnus jest montowany w modelach Amigi 500 i 2000 z Kickstartem 1.3 i wyżej. Amiga z Kickstartem 1.2 zawiera układ Fat Agnus. Natomiast w Amidze 1000 znajduje się zwykły Agnus.

Opracował: JERZY DUDEK

Literatura: „Amiga System Programming Guide”